

THIẾT KẾ KÊNH ĐO THÔNG LƯỢNG NƠTRON SỬ DỤNG BUỒNG ION HÓA KNK-3 TẠI Lò PHẢN ỨNG HẠT NHÂN ĐÀ LẠT

Võ Văn Tài, Nguyễn Văn Kiên, Nguyễn Nhị Điền, Trịnh Đình Hải, Phan La Sơn
Viện Nghiên cứu hạt nhân, 01 Nguyễn Tử Lực, Đà Lạt
Email: taivnchn@gmail.com

Tóm tắt:

Kênh đo thông lượng neutron được thiết kế bao gồm buồng ion hóa (CIC) loại KNK-3 chứa Boron có bù trừ gamma, hoạt động ở chế độ dòng; bộ biến đổi dòng điện thành tần số (I/F); và khối đo và kiểm soát thông lượng neutron (FPGA-WR). Kênh đo cho phép đo và kiểm soát mật độ thông lượng neutron từ $1,0 \times 10^6$ đến $1,2 \times 10^{10}$ n/cm².s tương ứng với giá trị công suất lò từ 0,1 đến 120% công suất danh định 500 kW. Khối đo và kiểm soát dùng FPGA Artix-7 và các thuật toán xử lý tín hiệu số để đo đạc và tính toán các giá trị về công suất, chu kỳ của lò phản ứng và hình thành các tín hiệu cảnh báo, sự cố về công suất và chu kỳ. Kênh đo đã được kiểm tra bằng tín hiệu mô phỏng tần số lỗi vào và sau đó đã được thử nghiệm trên lò phản ứng để so sánh với một kênh đo sử dụng khối đo và kiểm soát thông lượng neutron BPM-107R của hệ điều khiển ASUZ-14R của lò phản ứng hạt nhân Đà Lạt. Kết quả so sánh cho thấy, kênh đo thiết kế đáp ứng đầy đủ các yêu cầu về độ chính xác của các giá trị về công suất và chu kỳ lò phản ứng cũng như đáp ứng tốt về thời gian hình thành các tín hiệu sự cố về công suất và chu kỳ. Vì vậy, kênh đo có thể được sử dụng để thử nghiệm, nghiên cứu và đào tạo và khối đo và kiểm soát FPGA-WR có thể thay thế cho khối BPM-107R ở dài làm việc của lò phản ứng hạt nhân Đà Lạt.

Từ khóa: Hệ điều khiển lò phản ứng, chu kỳ lò phản ứng, công suất lò phản ứng, bộ lọc trung bình, FPGA, KNK-3, ASUZ-14R.

I. MỞ ĐẦU

Trong hệ thống điều khiển và bảo vệ (CPS) lò phản ứng hạt nhân, kênh đo và kiểm soát thông lượng neutron (NFME) đóng vai trò quan trọng trong việc xác định các tham số về công suất, chu kỳ, các ngưỡng đặt sự cố, ... để điều khiển và bảo vệ lò phản ứng. Mật độ thông lượng neutron được theo dõi thông qua công suất lò (P) và khoảng thời gian mức công suất thay đổi được biểu thị qua chu kỳ lò phản ứng (T). Từ năm 2007, hệ điều khiển tương tự (AKNP-5A) của lò phản ứng hạt nhân Đà Lạt (LPUĐL) đã được thay thế bằng hệ điều khiển dùng kỹ thuật số (ASUZ-14R), nhưng nguyên tắc hoạt động và các chức năng cơ bản vẫn được tuân thủ như hệ cũ trước đây [1], công suất và chu kỳ lò được theo dõi bởi ba kênh NFME độc lập để đưa ra tín hiệu thừa hành theo nguyên lý “chọn 2 từ 3”. Mỗi kênh có nhiệm vụ đo và kiểm soát mật độ thông lượng neutron từ $1,0 \times 10^0$ đến $1,2 \times 10^{10}$ n/cm².s và được chia làm 2 dải: dải khởi động từ $1,0 \times 10^0$ đến $1,0 \times 10^7$ n/cm².s và dải làm việc từ $1,0 \times 10^6$ đến $1,2 \times 10^{10}$ n/cm².s [2]. Với mục đích xây dựng thêm một kênh đo độc lập với hệ điều khiển để phục vụ công tác thử nghiệm, nghiên cứu và đào tạo, bài viết này giới thiệu một kênh đo và kiểm soát thông lượng neutron sử dụng buồng ion hóa KNK-3 ghép nối với khối thu nhận và xử lý tín hiệu được thiết kế dựa trên FPGA và bộ lọc dịch chuyển trung bình (MA) để tính toán công suất và chu kỳ lò phản ứng. So sánh với khối xử lý trung tâm BPM-107R được thiết kế trên cơ sở vi xử lý 8-bit hiện đang sử dụng cho hệ điều khiển của LPUĐL cho thấy, các kết quả thử nghiệm thu được bằng tín hiệu mô phỏng cũng như bằng

tín hiệu thực từ lò phản ứng là khá tương đồng về các tham số như công suất, chu kỳ lò phản ứng và thời gian hình thành các tín hiệu sự cố về công suất và chu kỳ trong dải làm việc. Vì vậy, khối đo và kiểm soát thông lượng neutron FPGA-WR với thuật toán xử lý tín hiệu số có thể thay thế cho khối xử lý trung tâm BPM-107R thuộc kênh đo NFME để kiểm soát lò phản ứng trong dải làm việc với cấu hình thiết kế hiện tại và có thể mở rộng ra cả dải khởi động của hệ điều khiển và bảo vệ lò phản ứng hạt nhân Đà Lạt. Khi đó, nếu được ghép nối với hệ điều khiển, các tín hiệu về sự cố công suất và chu kỳ sẽ đưa đến hệ thừa hành để đưa lò về trạng thái dưới tới hạn bằng việc thả rơi các thanh hấp thụ neutron vào vùng hoạt.

II. PHƯƠNG PHÁP VÀ THIẾT KẾ

➤ Phương pháp xác định giá trị công suất và chu kỳ lò phản ứng

Buồng ion hóa KNK-3 chứa Boron, để ghi nhận neutron và có khả năng bù trừ gamma, đã được sử dụng cho dải năng lượng của hệ điều khiển tương tự AKNP-5A. Buồng được đặt trong kênh khô kín nước nằm phía ngoài vùng hoạt, với thông lượng neutron tại vị trí đặt buồng nhỏ hơn 3 đến 4 bậc so với thông lượng tại trung tâm vùng hoạt của lò phản ứng. Dòng điện lồi ra của KNK-3 tỷ lệ với mật độ thông lượng neutron tại vị trí đặt buồng. Tín hiệu dòng từ lồi ra của buồng được biến đổi thành tần số Fwr, sau đó đưa đến khối đo và kiểm soát công suất FPGA-WR, nên công suất của lò phản ứng hạt nhân Đà Lạt tại dải làm việc được tính theo công thức (1):

$$P_{WR} = K_{WR} \times F_{WR} \times 10^{-3} \quad (1)$$

Trong đó P_{WR} là công suất lò phản ứng, K_{WR} là hệ số nhân.

Công suất của lò phản ứng hạt nhân thay đổi tuân theo quy luật hàm e mũ theo thời gian như hàm (2):

$$P(t) = P_0 \times e^{\lambda t} \quad (2)$$

Chu kỳ lò phản ứng hạt nhân T được định nghĩa là khoảng thời gian mà mật độ thông lượng neutron (công suất lò) tăng lên hoặc giảm đi e lần ($e = 2,718$). Vì tần số lồi ra từ bộ biến đổi I/F tỷ lệ với công suất lò, từ (2) ta xác định được chu kỳ T bằng biểu thức (3) dưới đây [3].

$$\frac{1}{T} \approx \frac{1}{F} \times \frac{dF}{dt} \text{ hay } T = \frac{F_k}{F_k - F_{k-1}} \times \Delta t \quad (3)$$

Trong đó F_{k-1} , F_k là thứ tự $(k-1)$ và k trong quá trình lấy mẫu tần số từ lồi ra của bộ biến đổi I/F, Δt là thời gian lấy mẫu. Từ mẫu số của (3) cho thấy xu hướng tăng (chu kỳ dương) và xu hướng giảm (chu kỳ âm) về công suất, mà trong tính toán nếu giá trị chu kỳ lớn hơn 999 giây được xem là vô cùng. Trong thực tế, các quá trình vật lý trong lò phản ứng được phản ánh thông qua tín hiệu từ bộ biến đổi, đặc biệt các thăng giáng lớn thường xảy ra ở số đếm thấp nên các bộ lọc dịch chuyển trung bình (MA) được sử dụng để xác định giá trị thực. Bộ lọc MA hoạt động như một bộ lọc tần số hữu hạn, được sử dụng để xác định xu hướng tăng hoặc giảm về công suất hay chu kỳ lò phản ứng. Khi thực hiện các phép toán lấy trung bình, một giá trị tần số hiện hành được cập nhật đến một mảng dữ liệu và giá trị tần số cũ sẽ bị loại bỏ theo công thức (4):

$$\bar{P}_{SM} = \bar{P}_{SM,pre} + \frac{1}{n} (P_M - P_{M-n}) \quad (4)$$

Trong đó \bar{P}_{SM} là giá trị trung bình hiện hành, $\bar{P}_{SM,pre}$ là giá trị trung bình trước đó, P_M là tần số hiện hành, P_{M-n} là tần số ở vị trí thứ n, với n là số điểm lấy trung bình. Giá trị n sẽ được thay đổi trong quá trình hoạt động tùy theo mức độ thăng giáng và giá trị tần số lấy mẫu hiện hành, đó là ưu điểm của kỹ thuật xử lý tín hiệu số và FPGA so với kỹ thuật sử dụng vi xử lý với chu trình làm việc tuần tự đã định trước.

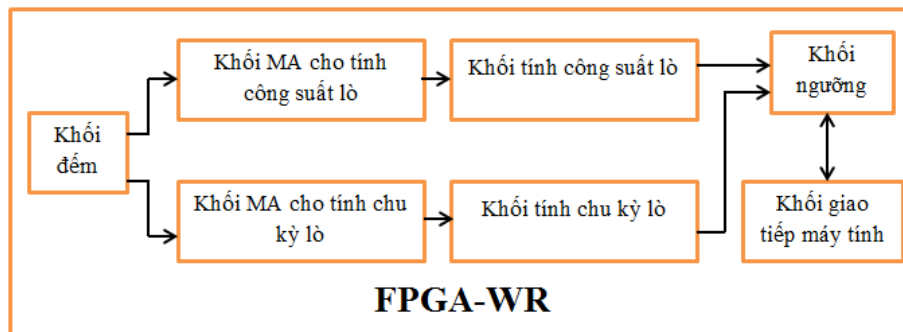
➤ **Bộ biến đổi dòng điện thành tần số (I/F)**

Bộ biến đổi được thiết kế dựa trên nguyên lý nạp và xả của 1 tụ điện thông qua mạch tích phân. Mạch biến đổi được hiệu chỉnh với dòng điện vào 300 μ A ứng với tần số ra 50 kHz. Trên cơ sở số liệu thực nghiệm tại lò phản ứng hạt nhân Đà Lạt với dải công suất từ 0,1 đến 100%, hệ số nhân được xác định $K_{wr} = 2,13$ theo công thức (1). Theo đó, giá trị công suất lò trong dải làm việc có thể tính theo công thức (5) khi ghép nối với buồng ion hóa KNK-3.

$$P_{wr} = 2,13 \times F_{wr} \times 10^{-3} \tag{5}$$

➤ **Khối đo và kiểm soát thông lượng neutron FPGA-WR**

Khối đo thông lượng neutron của dải làm việc (Working Range) được chỉ ra trong hình 1.



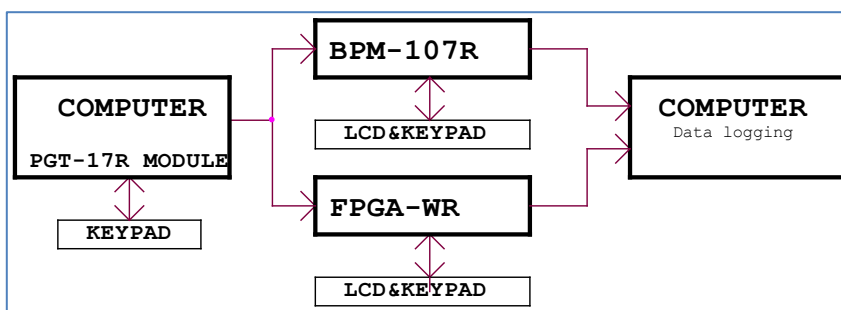
Hình 1. Sơ đồ khối của khối đo và kiểm soát thông lượng neutron FPGA-WR

Khối đo và kiểm soát thông lượng neutron được thiết kế dựa trên vi mạch XC7A100T-1FGG484C với tần số làm việc 50 MHz. Xung lồi ra từ bộ biến đổi I/F được lấy mẫu qua khối đếm 32 bit, thời gian lấy mẫu 20 ms để tính ra số đếm trên giây (cps). Số đếm này được đi qua các bộ lọc MA để tính công suất theo biểu thức (5) và tính chu kỳ theo biểu thức (3), với các hệ số lọc n tự động thay đổi theo tần số lồi vào. Các giá trị công suất và chu kỳ được so sánh với các giá trị ngưỡng để hình thành các tín hiệu cảnh báo và sự cố về công suất và chu kỳ để bảo vệ lò phản ứng.

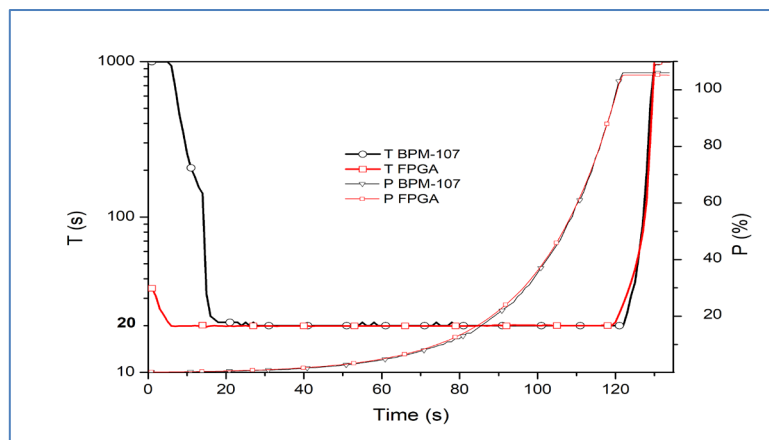
III. KẾT QUẢ THỰC NGHIỆM VÀ BÌNH LUẬN

➤ **Thử nghiệm khối FPGA-WR bằng khối mô phỏng tín hiệu**

Khối mô phỏng công suất và chu kỳ lò PGT-17R do Công ty JSC SNIIP SYSTEMATOM, Liên bang Nga sản xuất đã được dùng để kiểm tra hoạt động của khối đo và kiểm soát thông lượng neutron. Khối PGT-17R cho phép mô phỏng tín hiệu chu kỳ lò phản ứng, tức là tần số thay đổi theo quy luật hàm e mũ theo công thức (2). Tần số khởi tạo ban đầu và tần số kết thúc cho phép trong dải từ 1 Hz đến 50 kHz tương ứng.



Hình 2. Sơ đồ khảo sát đo công suất và chu kỳ lò dùng khối mô phỏng PGT-17R

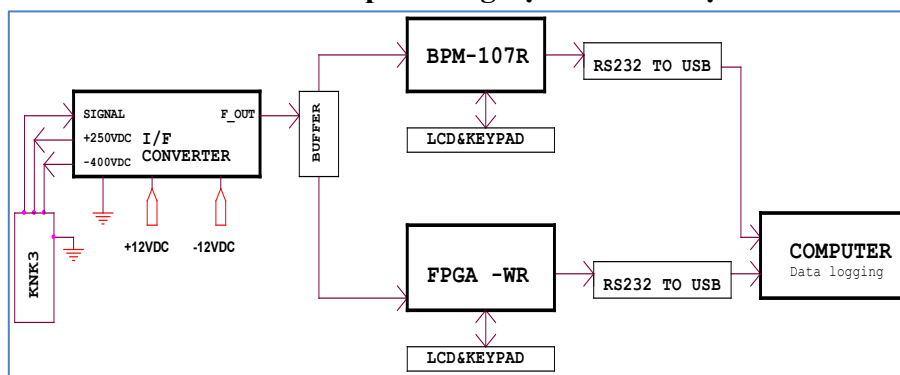


Hình 3. Kết quả đo công suất và chu kỳ lò sử dụng khối mô phỏng PGT-17R.

Sơ đồ bố trí thử nghiệm như Hình 2, tần số phát với chu kỳ tăng 20 giây, tần số phát khởi tạo ban đầu là 10 Hz và tần số kết thúc là 50 kHz. Tín hiệu được đưa đồng thời đến khối BPM-107R của hệ điều khiển ASUZ-14R và khối FPGA-WR được thiết kế dựa trên FPGA Artix-7-XC7A100T-1FGG484C của hãng Xilinx, sử dụng bộ lọc theo công thức (4). Các giá trị về công suất và chu kỳ được ghi nhận và lưu trữ trên máy tính qua phần mềm Terminal v1.9b.

Kết quả thử nghiệm thu được như trên Hình 3 cho thấy, các khối đo và kiểm soát FPGA-WR và BPM-107R xác định các giá trị về công suất và chu kỳ là tương đương nhau.

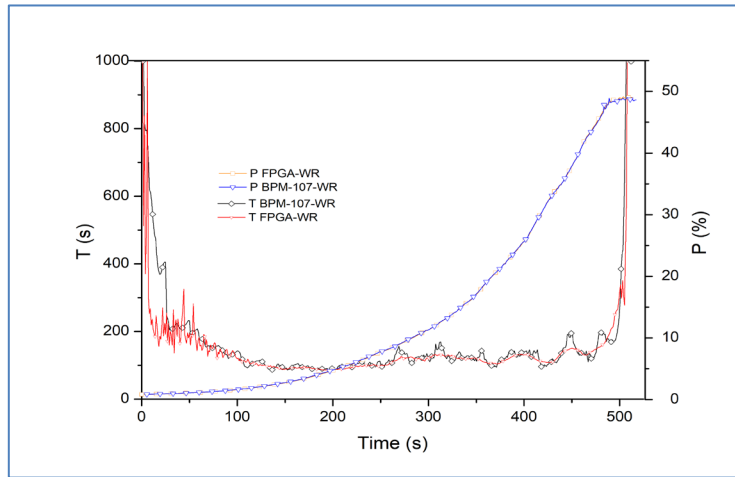
➤ **Thử nghiệm khối FPGA-WR trên lò phản ứng hạt nhân Đà Lạt**



Hình 4. Sơ đồ bố trí thử nghiệm khối FPGA-WR với buồng ion hóa KNK-3.

Mật độ thông lượng neutron được ghi nhận thông qua buồng ion hóa KNK-3 ghép nối với

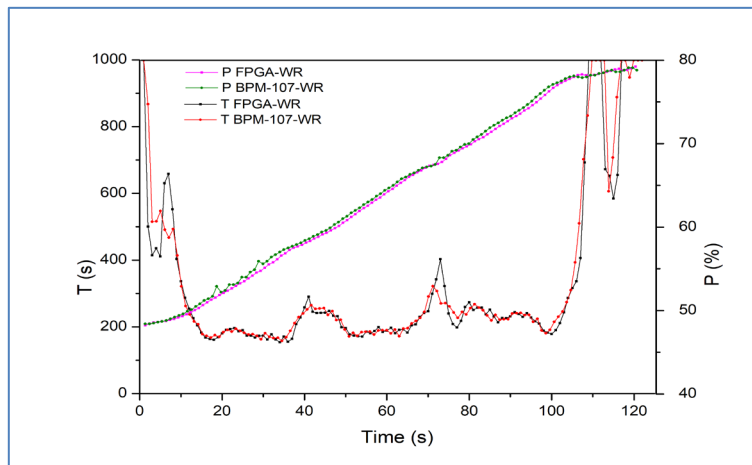
bộ biến đổi I/F được đưa đồng thời đến các khối BPM-107R và FPGA-WR, các giá trị về công suất P và chu kỳ T được đưa đến máy tính để lưu trữ. Thực hiện lên công suất lò phản ứng để kiểm tra các giá trị tính toán về công suất và chu kỳ lò của khối thử nghiệm. Kết quả được chỉ ra ở Hình 5 và Hình 6.



Hình 5. Kết quả đo công suất và chu kỳ trong dải công suất lò từ 0,5 đến 50%

Kết quả khảo sát về công suất và chu kỳ lò từ 0,5% đến 80% (Hình 5 và Hình 6) tại lò phản ứng hạt nhân Đà Lạt của khối FPGA-WR và BPM-107R cho giá trị khá tương đồng trong toàn dải làm việc.

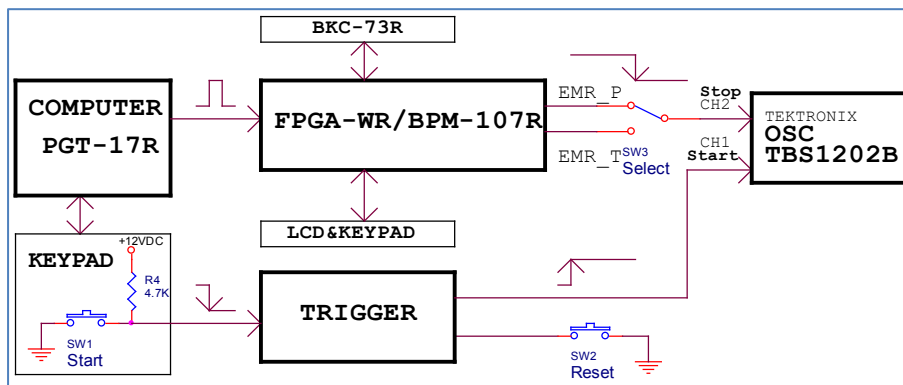
Từ kết quả đo công suất và chu kỳ bằng tín hiệu mô phỏng (Hình 3) và bằng tín hiệu thực từ thông lượng neutron của lò phản ứng (các Hình 5 và 6) cho thấy, với cấu hình thiết kế hiện tại, các giá trị đo công suất và chu kỳ của khối FPGA-WR của dải làm việc của lò phản ứng hạt nhân Đà Lạt là hoàn toàn tương đương với giá trị đo của khối nhập khẩu BPM-107R với sai số đo ước tính dưới 5%.



Hình 6. Kết quả đo công suất và chu kỳ trong dải công suất lò từ 50% đến 80%

➤ **Kiểm tra khả năng đáp ứng của khối FPGA về hình thành tín hiệu sự cố công suất và chu kỳ lò phản ứng**

Khả năng đáp ứng nhanh của một khối xử lý tín hiệu đối với các tình huống sự cố để đáp ứng tất phản ứng dây chuyền là một trong các thông số quan trọng của một hệ điều khiển. Sơ đồ kiểm tra việc hình thành các tín hiệu sự cố về công suất và chu kỳ lò phản ứng được chỉ ra trên Hình 7.



Hình 7. Sơ đồ bố trí thử nghiệm đo thời gian hình thành tín hiệu sự cố về công suất và chu kỳ lò

Sử dụng khối mô phỏng phát tần số PGT-17R để kiểm tra thời gian hình thành tín hiệu sự cố về công suất P và chu kỳ T của các khối đo và kiểm soát thông lượng neutron BPM-107R và FPGA-WR. Ngưỡng công suất được thiết lập qua bộ đặt ngưỡng BKC-73R của hệ điều khiển ASUZ-14R, còn ngưỡng về chu kỳ được thiết lập thông qua bàn phím với T = 20 giây. Thời gian hình thành được xác định từ lúc nhấn phím Start để phát xung đến lúc khối đo và kiểm soát xác định giá trị chu kỳ nhỏ hơn 20 giây hoặc công suất vượt quá 10% mức đặt. Khoảng thời gian này được đo bằng dao động ký TBS1202B của hãng TEKTRONIX. Các giá trị đặt về công suất và chu kỳ lò được tham khảo trong Báo cáo phân tích an toàn của Lò phản ứng hạt nhân Đà Lạt (SAR-2012).

Thời gian hình thành tín hiệu sự cố về công suất (hay thời gian đáp ứng) của khối đo và kiểm soát thông lượng neutron là thời gian từ khi có sự tăng công suất lò (tần số lỗi vào) cao hơn mức công suất đặt 10% cho đến khi xuất hiện tín hiệu sự cố về công suất EMR-P ở lối ra. Kết quả đo được trình bày trên Bảng 1.

Bảng 1. Thời gian hình thành tín hiệu sự cố về công suất của các khối BPM-107R và FPGA-WR.

Mức công suất lò (% P _{nom})	Mức đặt sự cố (% P _{nom})	Thời gian đáp ứng của khối BPM-107R (giây)	Thời gian đáp ứng của khối FPGA-WR (giây)
5	8	0,08 ± 0,002	0,05 ± 0,002
10	15	0,07 ± 0,002	0,05 ± 0,002
30	40	0,06 ± 0,002	0,05 ± 0,002
50	60	0,05 ± 0,002	0,05 ± 0,002
70	80	0,05 ± 0,002	0,05 ± 0,002
90	100	0,07 ± 0,002	0,05 ± 0,002
100	110	0,09 ± 0,002	0,05 ± 0,002

Kết quả thử nghiệm trong Bảng 1 cho thấy thời gian hình thành của khối FPGA-WR nhỏ hơn và khá ổn định trong khoảng 0,05 giây là do cách lấy mẫu với tần suất 20 ms và xử lý song song trên phần cứng của FPGA, trong khi đối với khối BPM-107R có sự thăng giáng trong

khoảng rộng từ 0,05 đến 0,09 giây là do chu trình lấy mẫu và xử lý tín hiệu được thực hiện tuần tự theo chu trình làm việc của vi điều khiển. Kết quả thời gian hình thành của khối FPGA-WR là đáp ứng tốt yêu cầu của hệ điều khiển ASUZ-14R là thời gian khởi phát tín hiệu bảo vệ sự cố về công suất lò trong dải làm việc không lớn hơn $0,5 \pm 0,02$ giây [6].

Thời gian đáp ứng đối với tín hiệu sự cố do chu kỳ tăng nhanh (EMR-T) trong dải làm việc được mô phỏng với chu kỳ lò 10 giây và 20 giây và mức đặt ngưỡng sự cố là 20 giây.

Bảng 2. Thời gian hình thành tín hiệu sự cố về chu kỳ của các khối BPM-107R và FPGA-WR.

Mức công suất lò (% Pn)	Tần số (Hz)	Thời gian đáp ứng của khối BPM-107R (giây)		Thời gian đáp ứng của khối FPGA-WR (giây)	
		Mô phỏng 10 giây	Mô phỏng 20 giây	Mô phỏng 10 giây	Mô phỏng 20 giây
0,2	100	$10,3 \pm 0,1$	$27,0 \pm 0,1$	$9,7 \pm 0,1$	$23,8 \pm 0,1$
1	469	$5,1 \pm 0,1$	$9,3 \pm 0,1$	$5,2 \pm 0,1$	$9,4 \pm 0,1$
5	2347	$3,7 \pm 0,1$	$7,2 \pm 0,1$	$3,8 \pm 0,1$	$5,4 \pm 0,1$
10	4695	$3,5 \pm 0,1$	$6,9 \pm 0,1$	$3,4 \pm 0,1$	$4,4 \pm 0,1$
50	23474	$3,4 \pm 0,1$	$6,7 \pm 0,1$	$3,4 \pm 0,1$	$5,4 \pm 0,1$
70	32864	$3,3 \pm 0,1$	$6,7 \pm 0,1$	$3,2 \pm 0,1$	$4,9 \pm 0,1$

Kết quả thử nghiệm trong Bảng 2 cho thấy thời gian hình thành tín hiệu chu kỳ của khối FPGA-WR đa phần nhỏ hơn so với khối BPM-107R. Thời gian hình thành tín hiệu sự cố về chu kỳ của khối FPGA-WR được lựa chọn theo dải tần số lỗi vào, các hệ số lọc MA để phù hợp với khối BPM-107R và mức độ thăng giáng tín hiệu lỗi ra từ lò phản ứng. Kết quả thời gian hình thành của khối FPGA-WR là đáp ứng tốt yêu cầu của hệ điều khiển ASUZ-14R là thời gian hình thành tín hiệu sự cố về chu kỳ không lớn hơn $45 \div 4,5$ giây [6].

IV. KẾT LUẬN

Khối đo và kiểm soát thông lượng neutron FPGA-WR trên cơ sở công nghệ FPGA và kỹ thuật xử lý tín hiệu số sử dụng bộ lọc MA được phát triển, ghép nối với buồng ion hóa KNK-3 và mạch biến đổi dòng – tần số để đo công suất và chu kỳ lò phản ứng hạt nhân Đà Lạt trong dải từ 0,1 đến 120% công suất danh định. Kết quả thử nghiệm dùng khối mô phỏng tín hiệu lỗi vào PGT-17R cũng như với tín hiệu thực từ lò phản ứng đã được so sánh với khối xử lý trung tâm BPM-107R của hệ điều khiển ASUZ-14R. Cụ thể là: Các thông số về công suất, chu kỳ lò phản ứng thu được từ 2 khối là tương đồng nhau; Thời gian đáp ứng với các tín hiệu sự cố về công suất của khối FPGA-WR ổn định tại 0,05 giây và nhỏ hơn so với khối BPM-107R dao động trong khoảng 0,05 đến 0,09 giây do khả năng uyển chuyển của khối FPGA-WR trong việc thay đổi tần suất lấy mẫu và xử lý song song kết hợp phần cứng của FPGA và xử lý tín hiệu số; Thời gian đáp ứng với các tín hiệu sự cố về chu kỳ của 2 khối tương đồng nhau và nằm trong giải 27 đến 4,5 giây. Các giá trị về thời gian đáp ứng với các tín hiệu sự cố về công suất và chu kỳ của khối FPGA-WR được thiết kế là đáp ứng tốt với yêu cầu về thời gian đáp ứng của hệ điều khiển ASUZ-14R nhập khẩu [6]. Kết quả thu được cho phép kết luận có thể sử dụng kênh đo thông lượng neutron độc lập với khối đo và kiểm soát thông lượng neutron FPGA-WR kết nối với buồng

ion hóa KNK-3 để phục vụ mục đích thử nghiệm, nghiên cứu và đào tạo và với cấu hình thiết kế hiện tại có thể thay thế cho khối BPM-107R hoạt động ở dải làm việc của lò phản ứng hạt nhân Đà Lạt.

TÀI LIỆU THAM KHẢO

- [1] Complex of Equipment for Control and Protection System ASUZ-14R of Dalat Nuclear Research Reactor, Operating Manual RUNK.506319.004 RE-E, Chief Designer A. A. Zaikin, 2006.
- [2] Huasheng Xiong, Duo Li, Nuclear reactor doubling time calculation using FIR filter, Energy Procedia 39 (2013) 3 – 11.
- [3] A digital nuclear reactor control system, E. P. Gytfopoulos, P. M. Coble, 1960.
- [4] “Moving average” https://en.wikipedia.org/wiki/Moving_average
- [5] The Scientist and Engineer's Guide to Digital Signal Processing, by Steven W. Smith, Chapter 15 “Moving average filters” pp. 277-284, <https://dspguide.com>.
- [6] Complex of Equipment for Control and Protection System ASUZ-14R of Dalat Nuclear Research Reactor, Passport RUNK.506319.004 PS-E, Chief Designer A. A. Zaikin, 2006.